



Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per:

Invenzione Industriale

N. **MI2002 A 002467**



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

Roma, li **2.8 NOV. 2003**

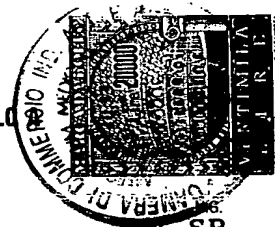
IL DIRIGENTE
Paola Giuliano
Dr.ssa Paola Giuliano

AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE. DEPOSITO RISERVE. ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO



A. RICHIEDENTE (I)

1) Denominazione **STMicroelectronics S.r.l.** SR
 Residenza **Agrate Brianza (Milano)** codice **00951900968**
 2) Denominazione _____
 Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

FERRARI Barbara e altri
 cognome nome **Botti & Ferrari S.r.l.** cod. fiscale _____
 denominazione studio di appartenenza _____
 via **Locatelli** n. **5** città **Milano** cap **20124** (prov) **MI**

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/cl/sci) _____ gruppo/sottogruppo _____/_____

Processo per realizzare un transistor di selezione di byte per una matrice di celle di memoria non volatile e relativa struttura circuitale.

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA _____/_____/_____ N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

1) **ZULIANI Paola** cognome nome **SCARAVAGGI Marina**
 2) **PALUMBO Elisabetta** 3) **ANNUNZIATA Roberto**
 4) _____

F. PRIORITÀ

nazione o organizzazione	tipo di priorità	numero di domanda	data di deposito	allegato S/R
1) _____	_____	_____	____/____/____	<input type="checkbox"/>
2) _____	_____	_____	____/____/____	<input type="checkbox"/>

SCIOGLIMENTO RISERVE

Data _____ N° Protocollo _____

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI

DOCUMENTAZIONE ALLEGATA

N. es.	PROV	n. pag.	PROV	n. tav.	contenuto
Doc. 1) 12	<input checked="" type="checkbox"/>	18	<input checked="" type="checkbox"/>	02	riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare)
Doc. 2) 12	<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/>		disegno (obbligatorio se citato in descrizione, 1 esemplare)
Doc. 3) 11	<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/>		lettera d'incarico, procura o riferimento procura generale
Doc. 4) 10	<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/>		designazione inventore
Doc. 5) 10	<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/>		documenti di priorità con traduzione in italiano
Doc. 6) 10	<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/>		autorizzazione o atto di cessione
Doc. 7) 10	<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/>		nominativo completo del richiedente

81 attestati di versamento, totale Euro

188/51= EURO

COMPILATO IL **20/11/2002**

FIRMA DEL(I) RICHIEDENTE(I)

FERRARI Barbara

obbligatorio

CONTINUA SI/NO **NO**

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO **SI**



SCIOGLIMENTO RISERVE

Data _____ N° Protocollo _____

CAMERA DI COMMERCIO IND. ART. E AGR. DI **MILANO MILANO**

codice **115**

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

MI2002A 002467

Reg. A.

L'anno **DUEMILADUE**

il giorno **VENTI**

del mese di

NOVEMBRE

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda di brevetto

00 fogli aggiuntivi per la concessione del brevetto sopraportato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

L'UFFICIALE ROGANTE

M. CORTONESI

REG. A

NUMERO BREVETTO _____

DATA DI RILASCIO 11/11/1981

D. TITULO

Processo per realizzare un transistorore di selezione di byte per una matrice di celle di memoria non volatile e relativa struttura circuitale.

L. RIASSUNTO

Processo per realizzare un transistorore (8) di selezione di byte per una matrice di celle (5) di memoria non volatile organizzata in righe e colonne integrata su un substrato semiconduttore (1), ciascuna cella (5) di memoria comprendente un transistorore (6) a gate flottante ed un transistorore (7) di selezione, il processo prevedendo le seguenti fasi:

- definizione su un medesimo substrato (1) semiconduttore di rispettive aree attive (3) per il transistorore (8) di selezione di byte per il transistorore a gate flottante e per il transistorore (7) di selezione separate da porzioni di strato (2) di isolamento;
- deposizione di una struttura multistrato comprendente almeno un strato (9) di ossido di gate, un primo strato (11) di polisilicio, uno strato dielettrico (12) su tutto il substrato (1) ed un secondo strato (13) di polisilicio, caratterizzato dal fatto di comprendere le seguenti fasi:
- rimuovere mediante una tecnica fotolitografica convenzionale la struttura multistrato per formare almeno una coppia di due strisce (S1, S2) che si sviluppano sostanzialmente parallele alle colonne della matrice di celle (5) di memoria, la prima (S1) striscia essendo atta a definire le regioni di gate del transistorore (8) di selezione di byte e del transistorore (7) di selezione, la seconda striscia (S2) atta a definire la regione di gate del transistorore a gate flottante, una porzione (4) della prima striscia (S1) estendendosi ulteriormente sulla porzione di strato (2) di isolamento adiacente al transistorore (8) di selezione di byte,
- formare un'apertura (4a) nella porzione (4) fino a esporre il primo strato (11) di polisilicio,
- formare uno strato (15) conduttivo nell'apertura (4a) per mettere in contatto elettrico detto primo strato (11) di polisilicio e detto secondo strato (13) di polisilicio.

M. DISEGNO

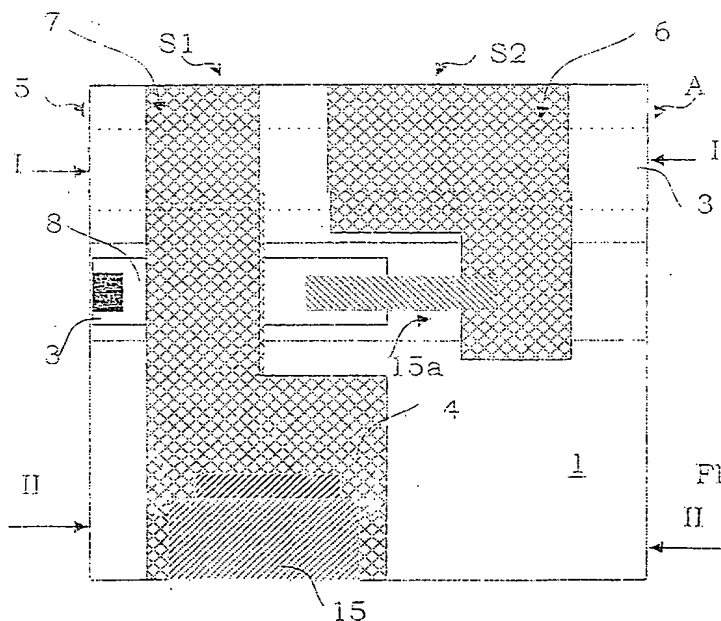


FIG. 2



MI 2002A 002467.

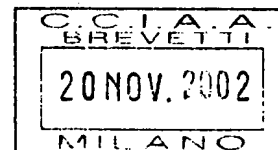
Domanda di brevetto per invenzione industriale dal titolo: " **Processo per realizzare un transistore di selezione di byte per una matrice di celle di memoria non volatile e relativa struttura circuitale** "

a nome di: **STMicroelectronics S.r.l.**

5 con sede in: **Agrate Brianza (Milano)**

* * * * *

DESCRIZIONE



Campo di applicazione

La presente invenzione fa riferimento ad un processo per
10 realizzare un transistore di selezione di byte per una matrice di celle di memoria non volatile e relativa struttura.

Più specificatamente l'invenzione si riferisce ad un processo per realizzare un transistore di selezione di byte per una matrice di celle di memoria non volatile organizzata in righe e colonne integrata su un
15 substrato semiconduttore, ciascuna cella di memoria comprendente un transistore a gate flottante ed un transistore di selezione, il processo prevedendo le seguenti fasi:

- definire su un medesimo substrato semiconduttore rispettive aree attive per detto transistore di selezione di byte per detto transistore
20 a gate flottante e per detto transistore di selezione separate da porzioni di strato di isolamento;

- depositare una struttura multistrato comprendente almeno un strato di ossido di gate, un primo strato di polisilicio, uno strato dielettrico su tutto il substrato ed un secondo strato di polisilicio.

25 L'invenzione fa altresì riferimento ad una struttura circuitale

comprendente una matrice di celle di memoria non volatile organizzata in righe e colonne integrata su un substrato semiconduttore, a cui è associata una circuiteria comprendente transistori ad alta e bassa tensione, ciascuna cella di memoria comprendente un transistor a gate
5 flottante ed un transistor di selezione, dette righe essendo interrotte da almeno una coppia di transistori di selezione di byte, detti transistori essendo realizzati in rispettive aree attive delimitate da porzioni di strato di isolamento.

L'invenzione riguarda in particolare, ma non esclusivamente,
10 un processo per realizzare un transistor di selezione di byte per una matrice di celle di memoria non volatile e la descrizione che segue è fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

Arte nota

15 Come è ben noto, una matrice di celle di memoria non volatile comprende una pluralità di celle di memoria non volatile integrate su un substrato di materiale semiconduttore ordinate in righe e colonne.

Ciascuna cella non volatile è formata da un transistor a gate flottante e da un transistor di selezione. La regione di gate flottante del
20 transistor a gate flottante è realizzata al di sopra di un substrato semiconduttore e separata da quest'ultimo tramite un sottile strato di ossido di gate (gate oxide). Una regione di gate di controllo (control gate) è accoppiata capacitivamente alla regione di gate flottante tramite uno strato dielettrico ed elettrodi metallici sono previsti per contattare drain,
25 source e regione di gate di controllo al fine di poter applicare

predeterminati valori di tensione alla cella di memoria. Il transistor di selezione viene invece realizzato tramite un transistor MOS convenzionale comprendente una regione di gate realizzata al di sopra di un substrato semiconduttore e separata da quest'ultimo tramite un sottile strato di ossido di gate. Regioni di source e drain sono integrate nel substrato ai lati della regione di gate.

Le celle appartenenti ad una medesima word line hanno in comune la linea elettrica che pilota le rispettive porte di controllo tramite il transistor di selezione di byte, mentre le celle che appartengono ad una stessa bit line hanno in comune i terminali di drain.

La matrice di celle di memoria è a sua volta organizzata in byte comprendente ciascuno 8 bit (o multipli). Ciascun byte è selezionabile dall'esterno della matrice mediante un transistor di byte posto in corrispondenza di ciascun byte.

Una prima soluzione tecnica nota per realizzare una matrice di celle non volatile prevede l'utilizzo di due maschere diverse per realizzare il transistor di selezione e quello di byte che hanno una regione di gate con un solo livello di polisilicio, mentre la regione di gate del transistor a gate flottante è realizzata con un doppio strato di polisilicio.

Per cui nella porzione di matrice dove sono realizzati i transistor di selezione e quello di byte deve essere effettuata una fase di rimozione di uno strato dei due strati di polisilicio utilizzati per realizzare il doppio strato di polisilicio.

Pur vantaggiosa sotto vari aspetti, questa prima soluzione presenta vari inconvenienti. Infatti la fase di rimozione di uno strato di polisilicio dalle aree attive dei transistori di selezione e di byte di uno dei due strati di polisilicio, può peggiorare le caratteristiche elettriche di questi dispositivi. Inoltre la struttura risultante comprende la serie di dispositivi con diverse altezze che rendono particolarmente difficoltose le fasi di pulizia previste nel flusso di processo standard.

Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un processo per la realizzazione di un transistor di byte integrato in una matrice di celle di memoria non volatili, avente caratteristiche strutturali e funzionali tali da consentire di ridurre il numero di maschere da utilizzare nel processo di fabbricazione superando le limitazioni e/o gli inconvenienti che tuttora limitano i dispositivi realizzati secondo l'arte nota.

Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella di realizzare la regione di gate del transistor di selezione di byte utilizzando gli stessi due strati sovrapposti che vengono impiegati per le regioni di gate del transistor di selezione e per le regioni di gate del transistor a gate flottante e di realizzare la connessione elettrica tra questi due strati di polisilicio in prossimità del transistor di byte.

Sulla base di tale idea di soluzione il problema tecnico è risolto da un processo del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1.

Il problema è altresì risolto da una struttura circuitale del tipo



precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 6.

Le caratteristiche ed i vantaggi del dispositivo secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un suo esempio di realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

In tali disegni:

- la figura 1 illustra un diagramma semplificato di uno schema elettrico di una matrice di celle di memoria non volatile comprendente transistori di selezione di bit e di byte;
- la figura 2 illustra un ingrandimento di una porzione A della matrice di celle di figura 1 comprendente un transistor di selezione di byte secondo l'invenzione;
- la figura 3 è una vista in sezione lungo la linea I-I di figura 2 di una cella di memoria convenzionale;
- le figura 4 e 5 sono viste in sezione lungo la linea II-II di una porzione di matrice di figura 2 durante le due differenti fasi del processo di fabbricazione.

Descrizione dettagliata

Con riferimento a tali figure, viene descritto un processo per realizzare un transistor di selezione di byte per una matrice di celle di memoria non volatile.

Le fasi di processo e le strutture descritte di seguito non formano un flusso completo di processo per la fabbricazione di circuiti

integrati.

La presente invenzione può essere messa in pratica insieme alle tecniche di fabbricazione dei circuiti integrati attualmente usate nel settore, e sono incluse solo quelle fasi del processo comunemente usate
5 che sono necessarie per la comprensione della presente invenzione.

Le figure che rappresentano sezioni trasversali di porzioni di un circuito integrato durante la fabbricazione non sono disegnate in scala, ma sono invece disegnate in modo da illustrare le caratteristiche salienti dell'invenzione.

10 Con riferimento a tali figure, su un substrato semiconduttore 1 viene formato selettivamente, ad esempio cresciuto, uno strato 2 di ossido spesso in modo da realizzare aree 3 attive in cui formare rispettivamente le celle 5 di memoria non volatile comprendente ciascuna un transistor 6 a gate flottante ed un transistor 7 di
15 selezione ed i transistori 8 di selezione di byte.

Come mostrato in figura 3, vengono selettivamente formati un secondo strato 9 di ossido di un primo spessore per la formazione degli ossidi di gate del transistor 6 a gate flottante, del transistor 7 di selezione e del transistor 8 di selezione di byte ed un terzo strato di
20 ossido 10 di un secondo spessore minore del terzo strato 9 per la realizzazione dell'ossido di tunnel del transistor 6 a gate flottante.

In maniera nota, in questa fase di processo viene anche realizzato lo strato di ossido di gate di transistori ad alta tensione compresi nella circuiteria di controllo della matrice mediante il secondo
25 strato 9 di ossido, non mostrati nelle figure.

Viene quindi formata una struttura stratificata su tutto il substrato 1 comprendente un primo strato 11 di polisilicio, un quarto strato 12 dielettrico denominato ossido interpoly ed un secondo strato 13 di polisilicio.

5 Tale quarto strato 12 dielettrico è ad esempio uno strato di ONO (Ossido-Nitruro-Ossido).

Vantaggiosamente, in questa fase di processo dopo la deposizione del quarto strato 12 dielettrico denominato ossido interpoly viene anche realizzato un quinto strato di ossido per realizzare lo strato
10 di ossido di gate di transistori ad bassa tensione utilizzabili per realizzare altri tipo di dispositivi di memoria sullo stesso substrato 1, come ad esempio memorie di tipo ROM o sRAM, e i dispositivi che realizzano la logica di controllo della matrice, non mostrato nelle figure.

Vantaggiosamente, realizzando tale quinto strato di ossido per
15 ultimo, i dispositivi che realizzano la logica di controllo a bassa tensione sono realizzati con un processo di fabbricazione indipendente da quello utilizzato per la matrice di memoria ed i dispositivi ad alta tensione. E' così possibile realizzare una ottimizzazione dei parametri di processo di fabbricazione dei singoli dispositivi. .

20 Tale struttura stratificata viene selettivamente rimossa, come mostrato in figura 2, mediante un processo fotolitografico che prevede l'impiego di una maschera denominata "dell'attacco autoallineato", per realizzare contemporaneamente le regioni di gate del transistor 6 a gate flottante, del transistor 7 di selezione e del transistor 8 di
25 selezione di byte.

Risultano così formate sul substrato 1 due strisce S1 ed S2. La striscia S1 in corrispondenza delle rispettive aree attive 3 del transistor 7 di selezione e del transistor 8 di selezione di byte ne forma le rispettive regioni di gate, mentre la striscia S2 in
5 corrispondenza delle rispettive aree attive 3 del transistor 6 a gate flottante forma ne le rispettive regioni di gate.

Secondo l'invenzione, la striscia S1 si estende oltre il transistor 8 di byte sullo strato di ossido 2 in modo da formare una piazzola 4.

10 Per effettuare il contatto tra il primo strato 11 di polisilicio ed il secondo strato 13 di polisilicio viene impiegata questa piazzola 4.

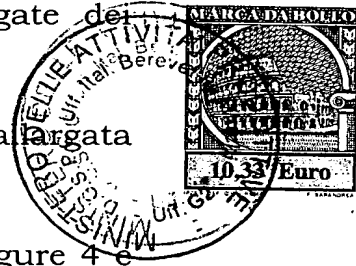
Vantaggiosamente, l'ampiezza della piazzola 4 è maggiore dell'ampiezza della porzione S1 che realizza le regioni di gate dei transistori 7 e 8.

15 In altre parole, la striscia S1 presenta una porzione allargata tra transistori 8 di selezione di byte adiacenti.

In particolare, come mostrato più in dettaglio nelle figure 4 e
5, secondo l'invenzione nel secondo strato 13 di polisilicio in corrispondenza di detta piazzola 4 viene realizzata una apertura 4a che
20 scopre lo strato dielettrico 12.

Questo strato dielettrico 12 viene quindi rimosso attraverso l'apertura 4a realizzata nel secondo strato 13 di polisilicio.

Vantaggiosamente, tale apertura 4a è realizzata nella stessa fase di processo in cui vengono realizzate le regioni di gate di transistori
25 della circuiteria a bassa tensione associata alla matrice.



A questo punto il processo prosegue con le fasi di impiantazione di drogante previste dal flusso di processo convenzionale per realizzare le giunzioni dei transistori della matrice.

Vantaggiosamente, il processo procede quindi con la
5 formazione di un strato 14 di metallo su tutta la superficie del substrato 1. Un trattamento termico viene quindi effettuato per far reagire lo strato di metallo con la superficie del substrato 1 e gli strati 11 e 13 di polisilicio non coperti da dielettrico per realizzare uno strato di saliciuro.

10 Durante il trattamento termico il metallo di transizione reagisce solo con quella porzione di substrato 1 dove non è presente un strato di ossido. Quindi il secondo strato 13 di polisilicio e la porzione del primo strato 11 di polisilicio lasciata scoperta dall'apertura 4a vengono così ricoperte da uno strato a bassa resistenza.

15 A questo punto vengono effettuate realizzate le linee di interconnessione utilizzate nella matrice di celle. In particolare, uno strato 15 conduttivo viene formato nell'apertura 4a realizzata nel secondo strato 13 di polisilicio in modo da riempire almeno parzialmente detta apertura 4a. Lo strato 15 conduttivo mette così in
20 contatto il primo strato 11 di polisilicio ed il secondo strato 13 di polisilicio, come mostrato in figura 5.

Vantaggiosamente, una porzione 15a dello strato 15 conduttivo viene anche utilizzata per mettere in contatto una giunzione del transistore 8 di selezione di byte con la regione di gate del
25 transistore 6 a gate flottante della cella di memoria 5.

Vantaggiosamente, lo strato 15 conduttivo è un ulteriore stato di polisilicio o uno strato di metallizzazione.

Viene ora descritta la struttura circuitale secondo l'invenzione che comprende una matrice di celle di memoria non volatile, ad esempio
5 del tipo EEPROM. Tale matrice comprende una pluralità di celle 5 di memoria non volatile integrate su un substrato 1 di materiale semiconduttore ordinate in righe, o word line W, ..., WLn, WLn+1 e colonne o bit line B0, ..., BL7, come mostrato in figura 1. In maniera
nota, una colonna di riferimento BL dummy è presente tra due byte
10 adiacenti.

Ciascuna cella 5 non volatile è formata da un transistor 6 a gate flottante e da un transistor 7 di selezione. La regione di gate flottante del transistor 6 a gate flottante è realizzata al di sopra di un substrato 1 semiconduttore e separata da quest'ultimo tramite uno
15 strato 9 di ossido di gate. Una regione di gate di controllo è accoppiata capacitivamente alla regione di gate flottante tramite uno strato dielettrico ed elettrodi metallici sono previsti per contattare terminali di drain, source e regione di gate di controllo, ad esempio CGn, GCn+1, al
fine di poter applicare predeterminati valori di tensione alla cella di
20 memoria.

Le celle 5 appartenenti ad una medesima word line hanno in comune la linea elettrica che pilota le rispettive regioni di gate di controllo tramite il transistor 7 di selezione di byte, mentre le celle 5 che appartengono ad una stessa bit line hanno in comune i terminali di
25 drain.

Sullo stesso substrato 1 viene anche integrata la circuiteria di controllo della matrice di celle di memoria comprendente, in modo noto, transistori ad alta tensione per gestire i segnali nella matrice di celle di memoria.

5 La matrice di celle di memoria è a sua volta organizzata in byte B comprendente ciascuno 8 bit (o multipli). Ciascun byte è selezionabile dall'esterno della matrice mediante un transistor 8 di selezione di byte posto in corrispondenza di ciascun byte. Ciascun transistor 8 di selezione di byte è realizzato in una relativa area attiva
10 3 delimitata da uno strato 2 di ossido spesso.

Secondo l'invenzione le regioni di gate dei transistori a gate flottante, dei transistori di selezione ed i transistori di selezione di byte sono realizzate mediante una struttura multistrato realizzata sul substrato 1 semiconduttore comprendente un primo strato 9 di ossido
15 un primo strato 11 di polisilicio un secondo strato 12 di ossido ed un secondo strato 13 di polisilicio. In particolare, tale struttura multistrato comprende una prima striscia S1 comune a tutti i transistori 7 di selezione appartenenti allo stesso byte ed al transistor 8 di selezione di byte relativo e in una seconda striscia S2 comune a tutti i transistori 6
20 a gate flottante appartenenti allo stesso byte. Una porzione 4 di tale striscia S1 si estende anche sullo strato 2 di ossido spesso che delimita l'area attiva 3 del transistor 8 di selezione di byte.

In particolare, la striscia S1 in corrispondenza delle rispettive aree attive 3 del transistor 7 di selezione e del transistor 8 di selezione
25 di byte ne forma le rispettive regioni di gate, mentre la striscia S2 in

corrispondenza delle rispettive aree attive 3 del transistor 6 a gate flottante forma ne le rispettive regioni di gate.

Vantaggiosamente, la porzione 4 può essere di ampiezza maggiore della porzione della striscia S1 che realizza le regioni di gate di transistori di selezione e del transistor di selezione di byte in corrispondenza delle aree attive 3 di questi transistori 7, 8. Tale porzione 4 può assumere infatti la forma di una piazzola 4.

Il secondo strato 12 di dielettrico ed il secondo strato 13 di polisilicio sono provvisti di una apertura 4a in corrispondenza di questa piazzola 4. Vantaggiosamente, il secondo strato 13 di polisilicio e la porzione del primo strato 11 di polisilicio lasciata scoperta dall'apertura 4a viene ricoperta da uno strato a bassa resistività come ad esempio un strato di saliciuro.

Secondo l'invenzione, uno strato 15 conduttivo riempie almeno parzialmente l'apertura 4a realizzando il collegamento elettrico tra il primo ed il secondo strato di polisilicio.

In conclusione, con il processo secondo l'invenzione si ottiene una struttura circuitale particolarmente compatta in quanto la piazzola 4, che viene utilizzata per mettere in contatto elettrico i due strati di polisilicio di cui sono realizzate le regioni di gate dei transistori 7, 8 di selezione e quindi garantire il corretto funzionamento di tali dispositivi, viene realizzata tra due transistori 8 di selezione di byte appartenenti a due byte adiacenti. Infatti tra due transistori 8 di selezione di byte adiacenti deve essere prevista una distanza minima in modo da ridurre l'instaurarsi di transistori parassiti tra questi due transistori adiacenti



che devono gestire tensioni elevate.

L'ulteriore vantaggio della presente invenzione è quello di realizzare transistori all'interno della matrice con uno stesso numero di strati di polisilicio in modo da agevolare le fasi di attacco e rimozione
5 selettiva necessarie durante le fasi del processo di fabbricazione. Realizzare tutte le regioni di gate nella stessa fase di processo migliora notevolmente l'affidabilità dei dispositivi così realizzati.

Vantaggiosamente la struttura circuitale secondo l'invenzione consente di realizzare dispositivi molto compatti come ad esempio
10 prodotti SmartCard, oppure dispositivi utilizzabili in applicazioni per telefonia mobile che devono avere un'interfaccia con l'esterno a bassa tensione. In modo convenzione, invece, il pilotaggio della matrice di memoria all'interno della struttura circuitale secondo l'invenzione viene gestita da transistori ad alta tensione.

RIVENDICAZIONI

1. Processo per realizzare un transistor (8) di selezione di byte per una matrice di celle (5) di memoria non volatile organizzata in righe e colonne integrata su un substrato semiconduttore (1), ciascuna
5 cella (5) di memoria comprendente un transistor (6) a gate flottante ed un transistor (7) di selezione, il processo prevedendo le seguenti fasi:

- definizione su un medesimo substrato (1) semiconduttore di rispettive aree attive (3) per detto transistor (8) di selezione di byte per detto transistor a gate flottante e per detto transistor (7) di selezione
10 separate da porzioni di strato (2) di isolamento;

- deposizione di una struttura multistrato comprendente almeno uno strato (9) di ossido di gate, un primo strato (11) di polisilicio, uno strato dielettrico (12) su tutto il substrato (1) ed un secondo strato (13) di polisilicio, caratterizzato dal fatto di comprendere
15 le seguenti fasi:

- rimuovere mediante una tecnica fotolitografica convenzionale detta struttura multistrato per formare almeno una coppia di due strisce (S1, S2) che si sviluppano sostanzialmente perpendicolarmente alle colonne della matrice di celle (5) di memoria, la prima (S1) striscia
20 essendo atta a definire le regioni di gate di detto transistor (8) di selezione di byte e detto transistor (7) di selezione, la seconda striscia (S2) atta a definire la regione di gate di detto transistor a gate flottante, una porzione (4) di detta prima striscia (S1) estendendosi ulteriormente sulla porzione di strato (2) di isolamento adiacente a detto transistor
25 (8) di selezione di byte,

- formare un'apertura (4a) in detta porzione (4) fino a esporre detto primo strato (11) di polisilicio,

- formare uno strato (15) conduttivo in detta apertura (4a) per mettere in contatto elettrico detto primo strato (11) di polisilicio ed detto
5 secondo strato (13) di polisilicio.

2. Processo per realizzare un transistor (8) di selezione di byte secondo la rivendicazione 1, caratterizzato dal fatto che detta porzione (4) ha una larghezza maggiore dell'ampiezza delle regioni di gate dei singoli transistori (6, 7, 8).

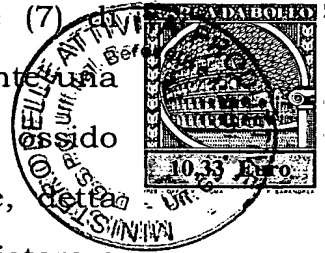
10 3. Processo per realizzare un transistor (8) di selezione di byte secondo la rivendicazione 1, caratterizzato dal fatto che detto strato (15) conduttivo è uno strato di polisilicio.

4. Processo per realizzare un transistor (8) di selezione di byte secondo la rivendicazione 1, caratterizzato dal fatto che detto strato
15 (15) conduttivo è uno strato di metallizzazione.

5. Processo per realizzare un transistor (8) di selezione di byte secondo la rivendicazione 1, caratterizzato dal fatto che su detto secondo strato (13) di polisilicio e sulla porzione di detto primo strato (11) di polisilicio lasciato esposto da detta apertura (4a) viene formato
20 uno strato di saliciuro.

6. Struttura circuitale comprendente una matrice di celle (5) di memoria non volatile organizzata in righe e colonne integrata su un substrato semiconduttore (1), a cui è associata una circuiteria comprendete transistori ad alta e bassa tensione, ciascuna cella (5) di
25 memoria comprendente un transistor (6) a gate flottante ed un

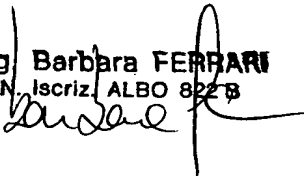
transistore (7) di selezione, dette righe essendo interrotte da almeno una
coppia di transistori (8) di selezione di byte, detti transistori (6, 7, 8)
essendo realizzati in rispettive aree attive (3) delimitate da porzioni di
uno strato (2) di isolamento, detta struttura circuitale essendo
5 caratterizzata dal fatto di comprendere una prima (S1) ed una seconda
striscia (S2) multistrato formata su detto substrato (1) semiconduttore
comprendente un primo strato (9) di ossido di gate, un primo strato (11)
di polisilicio, un secondo strato dielettrico (12) ed un secondo strato (13)
di polisilicio, detta prima striscia (S1) definendo le regioni di gate di
10 detto transistore (8) di selezione di byte e detto transistore (7) di
selezione in corrispondenza di dette rispettive aree attive e avente una
porzione (4) che si estende su una porzione dello strato (2) di ossido
spesso adiacente a detto transistore (8) di selezione di byte, detta
seconda striscia (S2) definendo le regioni di gate di detto transistore a
15 gate flottante, in cui detta porzione (4) è provvista di una apertura (4a)
realizzata in detto secondo strato (12) dielettrico ed in detto secondo
strato (13) di polisilicio che è riempita almeno parzialmente da uno
strato (15) conduttore.

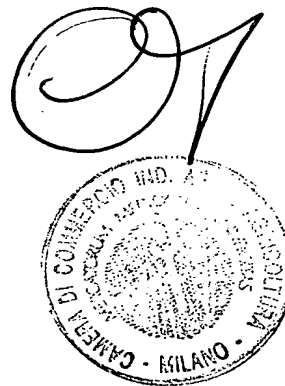


7. Struttura circuitale secondo la rivendicazione 6
20 caratterizzata dal fatto che detta porzione (4) ha un'ampiezza maggiore
in corrispondenza di detta apertura (4a) rispetto a quella in
corrispondenza di dette aree attive (3).

8. Struttura circuitale secondo la rivendicazione 6
caratterizzata dal fatto che detto strato (15) conduttivo è uno strato di
25 polisilicio.

9. Struttura circuitale secondo la rivendicazione 6 caratterizzata dal fatto che detto strato (15) conduttivo è uno strato di metallizzazione.

Ing. Barbara FERRARI
N. Iscriz. ALBO 822-B




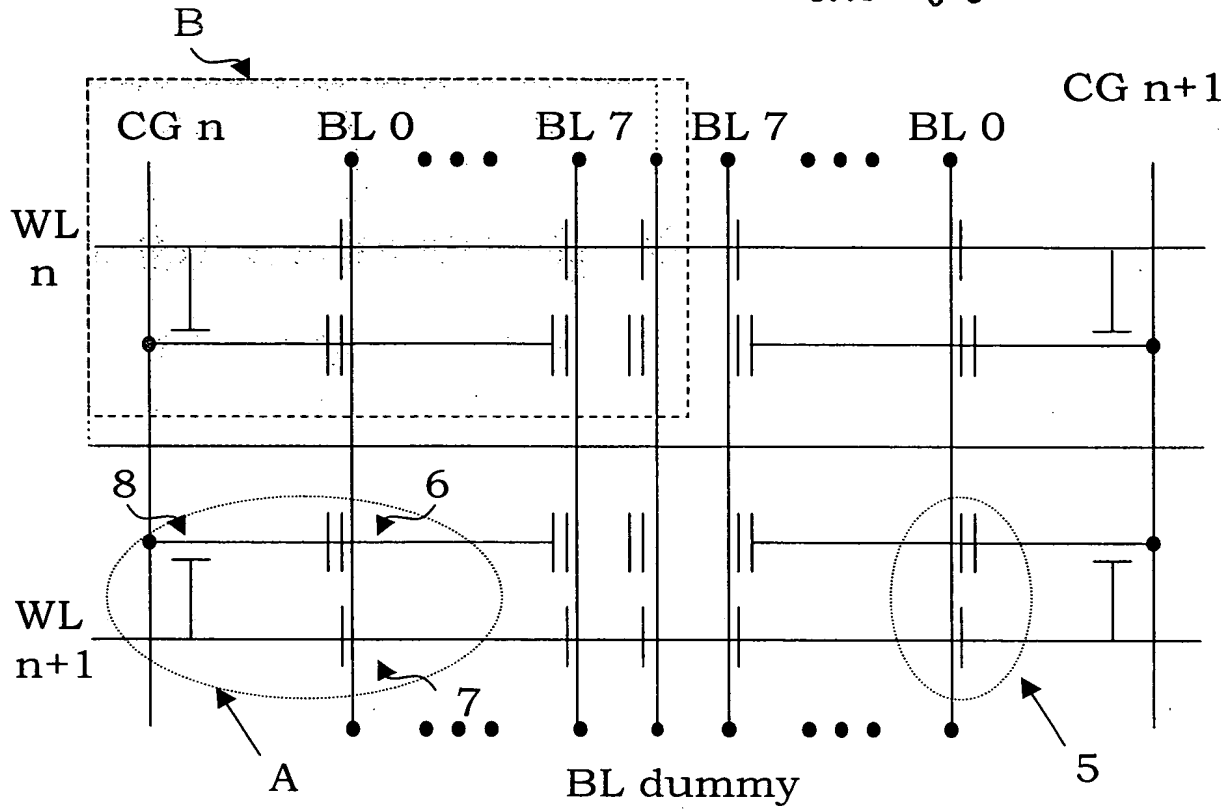


FIG. 1

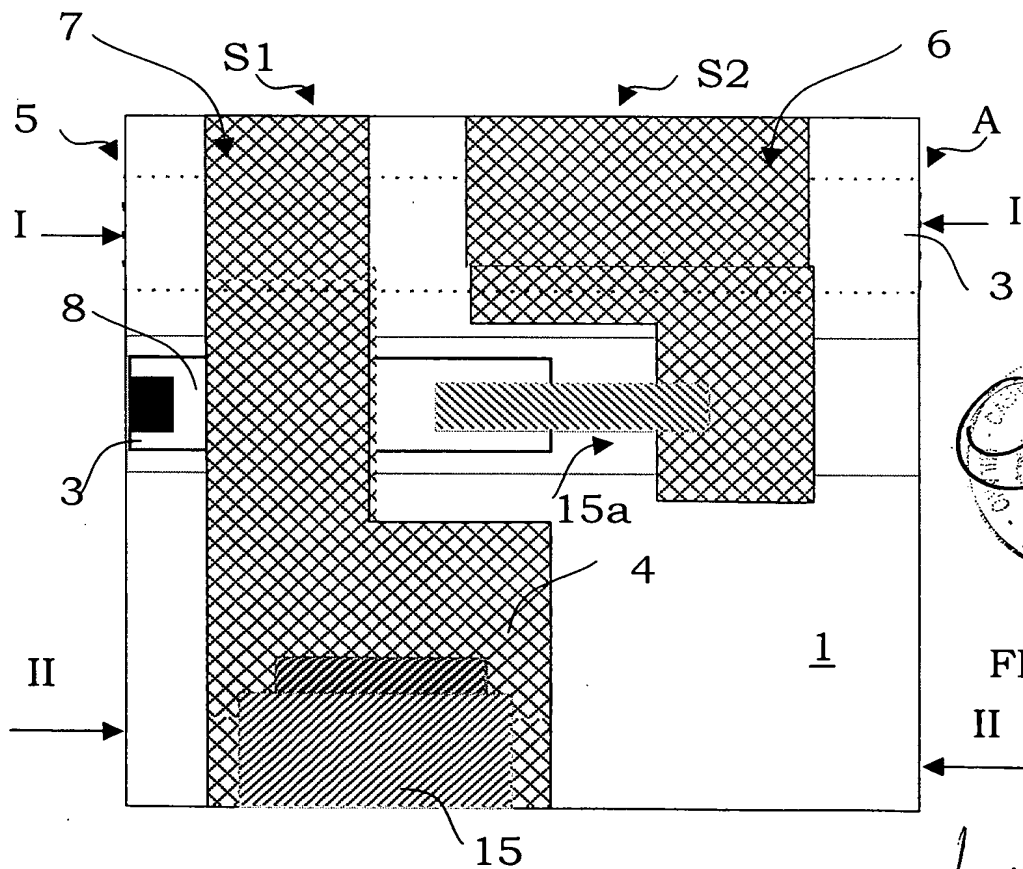


FIG. 2

